

# ΔΣ変調とオーバーサンプリングを用いた 位置内挿のためのデジタル位相追従ループの検討 A Digital Phase-Traking Loop for Position Interpolation Utilizing Delta-Sigma Modulation and Oversampling

折野 裕一郎<sup>†</sup> 黒澤 実<sup>†</sup> 片桐 崇<sup>‡</sup>

<sup>†</sup>東京工業大学大学院 総合理工学研究科

<sup>‡</sup>すてきな(有)

Yuichiro Orino<sup>†</sup> Minoru Kuribayashi Kurosawa<sup>†</sup> Takashi Katagiri<sup>‡</sup>

<sup>†</sup>Dept. of Advanced Applied Electronics, Tokyo Institute of Technology

<sup>‡</sup>Sutekina Inc.

## 1 はじめに

レゾルバやインクリメンタルエンコーダ等のある種のセンサは角度や位置を2相の正弦波に変調する。このような信号から情報の変化を検出するには位相の回転数を数え上げればよいが、信号の位相自体も検出して回転数と組み合わせればより細かく情報を得られる。この操作は位置・角度の内挿、あるいは分割と呼ばれる。

この信号処理をする回路である内挿器を実現する方法の一つとして、2相(複素)位相同期ループの原理に基づく信号処理手法が知られている。近年の集積回路技術の発展により、この処理をA/D変換器とデジタル回路で行うことが現実的となってきた[1]。しかし広帯域かつ高分解能という性能を得るためには、やはり、高レートかつ高精度なA/D変換器と高性能なデジタル信号処理回路が必要であり、要求される回路資源は少なくない。

本論文ではこのトレードオフを緩和するための新たな構成法について述べる。論文の構成は次の通りである。まず内挿器の原理である位相追従ループについて述べ、続いて提案する構成法の特徴となるΔΣ変調とオーバーサンプリング手法を活用したシステム構成方法を紹介し、これに則ったデジタル信号処理回路の構成例を提示する。そして提示した構成例をシミュレーションで検討した結果を示すことで本手法により得られる効果を明らかにする。

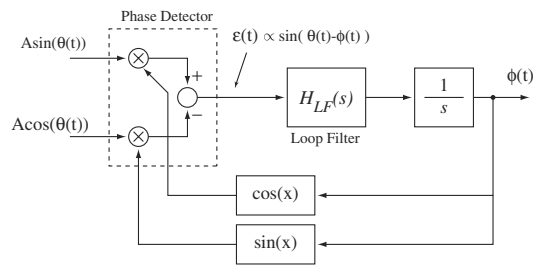


図 1: 位相追従ループの原理的ダイアグラム

## 2 位相追従ループ

本論文では2相の位相同期ループ(PLL; Phase-Locked Loop)の原理に基づいた追従的位相推定アルゴリズムによる内挿器について検討している。このアルゴリズムを一般化した形で図1に示す。本論文ではこのシステムを位相追従ループと呼ぶこととする。

1相のPLLが主に周波数を得るために用いられることは異なり、位相情報が望みの出力である。また、位相回転が止まっている場合でも原理的に位相をロックすることが出来ることも1相PLLとの違いである。この原理に基づく位相の検出方法は、具体的に言えば、レゾルバ/デジタル変換器や正弦波出力型エンコーダ用の内挿器などで広く用いられている。内挿器としての利用では、位相情報は特にデジタル値として得ることが望まれ、この意味でシステムは一種のアナログ/デジタル(A/D)変換器の

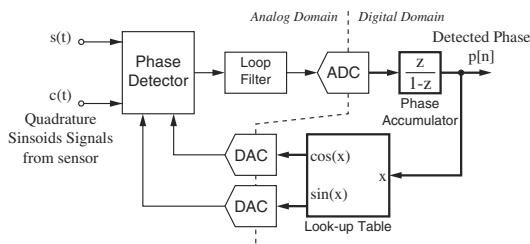


図 2: 従来の実現方法の一例

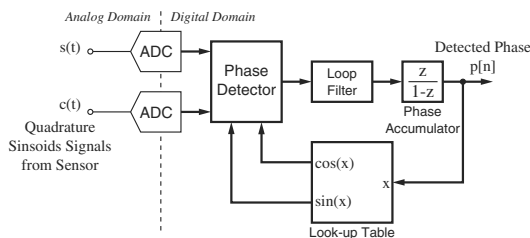


図 3: デジタル信号処理による実現方法の一例

役割を果たす。

従来、内挿のための位相追従ループ回路は、主にコストの問題から、アナログ回路とデジタル回路が相互に信号をやり取りする形の混在回路として実現されてきた。図2に従来型のシステム構成を例示する。このような構成では両領域の境界でA/DおよびD/A変換が必要であり、このことが高精度な検出と高速な追従という性能の両立を難しくさせていた。

近年では、デジタル回路技術の発展により、デジタル信号処理のみで追従的处理を行うことが現実的な回路資源で可能となってきた。この場合のシステム構成例を図3に示す。従来型の相互干渉する構成に比べ、このようなアナログインタフェースとデジタル信号処理回路の直列的な構成は設計が容易という利点がある。A/D変換器はデジタル回路の前に直列的に接続されるため、ループの性能は完全にデジタル信号処理によって決定されるからである。とはいえ、精度や追従速度といった性能を得るためにはやはり、高精度なA/D変換器と高分解能で高速な演算が可能なデジタル信号処理回路が必要である。位相追従ループでは特に乗算や三角関数を必要とするためにデジタル回路の規模も問題となり、アナログインタフェースと信号処理回路を合わせた総コストの削減が課題とされている。

本論文ではアナログ回路とデジタル回路の双方の複雑さを減らすことを狙い、 $\Delta\Sigma$ 変調を利用する非従来の信号処理の実現方法に則った位相追従ループの一構成法を提示する。

### 3 $\Delta\Sigma$ 変調を用いた信号処理システム

オーバーサンプリングはアナログとデジタルの領域間で信号を変換する際の手法としてよく知られた手法である。この言葉は標本化定理が示すナイキストレート以上の速度で標本化をすることを指すが、適当なフィルタリングをしてナイキストレートに間引

くことで注目帯域内の雑音レベルを下げるができるという大きな利点があり、広義ではこの間引きを含めた操作全体を指す。この利点は量子化雑音に対しても同様に言え、例えば低分解能の量子化器でもオーバーサンプリングをすれば最終的には高精度なデジタル表現を得ることが可能となる。これはオーバーサンプリング型のA/D変換と呼ばれる。

オーバーサンプリングは量子化操作におけるテクニックである $\Delta\Sigma$ 変調とともに用いると非常に効果的である[2]。 $\Delta\Sigma$ 変調は量子化誤差をフィードバックし、高周波数に集中して分布させる。このためサンプリング周波数に対して比較的狭い周波数域を信号帯域とする場合には、間引きフィルタによって高周波数帯の量子化雑音を効果的に減らすことができる。特に、1bit~3bit程度の粗い量子化であってもサンプリング周波数を代わりに高くすることにより量子化器より高い分解能のデジタル信号を精度よく得ることができる。簡素なアナログ回路による粗い量子化でもデジタル信号処理を活用することで総合的には高精度なA/D変換器を実現できるという点で、高精度A/D変換器の低コスト化に貢献している。この $\Delta\Sigma$ 変調と間引きフィルタの組合せによるA/D変換は $\Delta\Sigma$ 型A/D変換器と呼ばれ、 $\Delta\Sigma$ 変調とオーバーサンプリングの代表的なアプリケーションである。

本論文で述べる位相追従ループの構成法はオーバーサンプリングと $\Delta\Sigma$ 変調を活用したものであり、 $\Delta\Sigma$ 型A/D変換器に類似した構造を持つ。システムの全体構造を図4に示す。システムは直列に接続された3つの部分、すなわち $\Delta\Sigma$ 変調器、変調信号の信号処理回路、そして間引きフィルタからなる。信号処理回路は $\Delta\Sigma$ 変調によりデジタル化された信号を間引かずに直接処理し、位相追従ループの後に間引きフィルタが適用されることが特徴である。

提案構成が採用している $\Delta\Sigma$ 変調信号に対する直

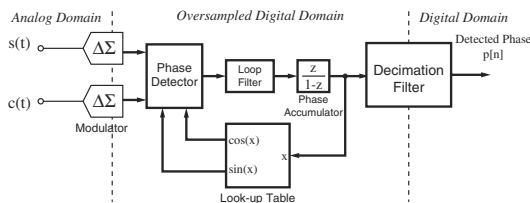


図 4: 提案するシステム構成

接処理という信号処理手法は、特に 1 bit の  $\Delta\Sigma$  変調による信号に対する処理手法として研究されてきた。ビットストリーム演算、1 ビットデジタル信号処理 [3]、 $\Delta\Sigma$  領域での信号処理 [4] などと呼ばれている。この手法は、 $\Delta\Sigma$  型 A/D 変換器と同様、量子化のためのアナログ回路の簡素化という利点があり、加えてデジタル信号処理回路においても低ビット数の信号を用いることで複雑さを減らせることが期待されている。このような期待から、センサ信号処理 [6] やニューラルネットワーク [7] 等の並列高速演算回路の実現技術として応用が検討されている。また、信号処理結果の 1bit 信号に対して間引きフィルタを行わずそのままパルス (アナログ信号) として出力するシステムでは、広い帯域で位相特性が平坦な、よりアナログ信号処理に近いデジタル信号処理が従来手法より容易に実現できると期待されており、音響信号処理 [8] やフィードバック制御系 [9] への応用が研究されている。

先に我々は、1 bit の  $\Delta\Sigma$  変調信号を演算要素間の情報媒介として用いるシステムの一例として、位相追従ループ回路を提案し報告している [10]。一般にデジタル信号を演算した結果は bit 数が増加することが多いが、先の回路の演算要素では 1 bit  $\Delta\Sigma$  信号の演算結果を 1 bit で出力とするためにデジタル演算にて再変調する方法をとっていた。再変調はその度に新たな変調雑音を重畳し、また少なからず回路規模を大きくすることになるため問題であった。これに対し、本論文で検討した信号処理回路は盲目的に桁数を 1 bit に保つことをせず、最適な信号処理となるよう設計している。次節では設計した信号処理回路の具体的な構成を述べる。

#### 4 信号処理回路

$\Delta\Sigma$  変調信号を直接扱って高精度な信号処理を実現するには、高周波数に集中するという変調雑音の特性のため、信号処理回路の設計に注意が必要である。言

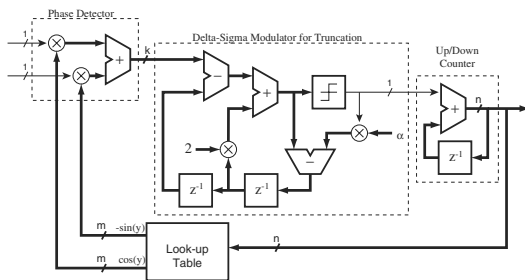


図 5: 追従ループの信号処理回路の構成

い換えれば、高速な処理速度を得られるよう回路の簡素さを保ちつつ、最終的な精度を悪化させないように誤差を注目帯域内で抑えるような設計をする必要がある。

図 5 に信号処理のダイアグラムを示す。各演算は加減算とビットシフト等で実現される。図中の  $z^{-1}$  は、回路要素としてはレジスタを意味する。多くの他の実現方法と同様に、位相は過給器によりカウントされ、偏差を演算するためフィードバックする 2 相信号は三角関数を実現する波形テーブルの参照により行うこととした。回路は大きく分けて位相差検出部、 $\Delta\Sigma$  変調部、位相カウンタと三角関数による数値制御発振器からなる。

**位相差の検出)** A/D 変換として 1 bit  $\Delta\Sigma$  変調器を用いた場合、入力される 2 相信号と内部位相値からテーブル参照した結果得られる 2 相信号を用いて演算される位相差検出部分において、乗算が 1 bit  $\times$   $m$  bit の乗算で済ませられることが大きな特色である。1 bit の信号は  $\pm 1$  を意味するため、この計算は単純に符号反転処理となり、回路規模を小さくすることに貢献すると十分期待できる。

**$\Delta\Sigma$  による桁丸め)** 位相差は  $k = m + 1$  bit の値で得られる。これをフィードバックにおける偏差信号として内部位相値を修正するわけであるが、ここでデジタル回路を小さく抑える目的で、デジタル演算による  $\Delta\Sigma$  変調を用いて偏差信号の桁丸めを行っている。図中の  $\alpha$  は  $\Delta\Sigma$  変調におけるフィードバックゲインであり、信号の値域を丸め前と合わせるためには  $\alpha = 2^{k-1}$  とする。このように丸めを行うことで、続く位相過給器を単純なアップダウン・カウンタで実現することが出来る。

一般的に桁丸めは丸め誤差を発生させる。しか

し  $\Delta\Sigma$ 変調による桁丸めの場合、丸め誤差はフィードバックされてノイズシェーブされるので、丸め誤差による雑音は高周波数にこそ多量に分布するが低周波数帯では発生が抑えられることになる。このことは、オーバーサンプリングの意味で信号処理後に間引きフィルタをかけることを前提としている本システム構成においては好都合である。

**位相カウンタと三角関数** 先に述べたように、 $\Delta\Sigma$ 変調による丸めを用いているため、位相値はアップダウンカウンタで実現される。三角関数は先に述べたようにテーブルを参照することで実現する。このような、カウンタと参照テーブルによる正弦波発振器は DDS(デジタル直接合成) として知られる。本回路ではカウンタは参照テーブルの位相分解能と同じ分解能をもつとした。すなわちカウンタの桁数が  $n$  bit であればそれによって位相は  $\phi \in \{2\pi \frac{i}{2^n} | i = 0, 1, 2, \dots, 2^n - 1\}$  [rad] で表され、これに対応した  $\sin(\phi)$ ,  $\cos(\phi)$  が参照テーブルより得られるということである。位相カウンタとテーブル間で丸めは行われない。

## 5 検証

提示した回路システムを検証し、オーバーサンプリングを前提とした信号処理手法の効果を確認するため、数値計算によるシミュレーションを行った。計算には MATLAB を用いた。

以下に示す検討においては、共通して次のような方法でシミュレーションを行った。まず A/D 変換器として、量子化誤差伝達関数の 2 つの零点が周波数 0 にある離散時間系の 2 次  $\Delta\Sigma$ 変調と、ディザを加えた 1bit 量子化器を用いた。システムに入力するアナログ信号は、振幅 0.5 の  $\sin, \cos$  波とした。これらのアナログ回路にあたる計算は 64bit 浮動小数点で行った。A/D 変換器に続くデジタル信号処理回路に関しては、整数計算で実現した。位相カウンタは  $n = 8$ bit, 参照テーブル中の標本は  $m = 24$ bit の分解能とした。

間引きフィルタに関しては、具体的な設計は今後の検討課題とし、出力の評価は理想的なフィルタを想定して行った。詳しくは後述する。

### 5.1 時刻歴応答

最も基本的な検証として、内部位相が入力の位相変化に追従することを確かめた。時刻歴応答の例として、ステップ応答とランプ応答を図6に示す。位相出

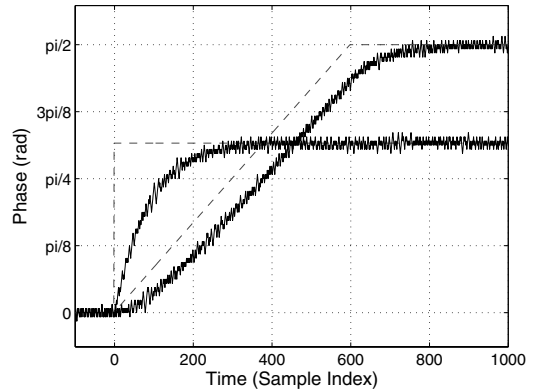


図 6: 検討した位相追従ループによる時刻歴応答例

力として示している信号は、間引きフィルタをする前の、位相カウンタの出力信号である。これらの結果から、得られる位相信号には高周波数の成分と主となる応答の成分があることが見て取れる。雑音のように見える高周波数の成分は A/D 変換としての  $\Delta\Sigma$ 変調および桁丸めに用いた  $\Delta\Sigma$ 変調によって加えられた変調誤差であろう。少なくとも目的を果たす信号処理回路となっていることが確かめられた。

### 5.2 整定時の検出精度

繰り返すが、検討しているシステム構成における最も重要なコンセプトはオーバーサンプリングの信号レートのままの信号処理である。最終段の間引きフィルタにより  $\Delta\Sigma$ 変調に由来する高周波の誤差を低減させ、最終的に高い分解能の位相信号を得ることを期待している。間引きフィルタ後の信号が間引き前の分解能 (8bit) よりどれだけ拡張できるかは、間引き後にどれだけ誤差が残っているかによって決めることが出来る。そこで、提案システム構成において最終的な出力信号の精度を検討した。動的な特性は、今回は考慮しなかったループフィルタの設計に大きく左右されるため、今回は特に整定時の精度を調べた。

精度の評価は、位相カウンタによる内部位相信号に対する離散フーリエ変換によるスペクトルから、注目する帯域  $[0, f_0)$  内に存在する誤差の電力を求めるという方法により行った。この処理はほぼ理想的な間引き処理をかけることに相当し、性能の上限を評価出来る。帯域内誤差電力が、帯域幅  $f_0$  およびサンプリング周波数  $f_s$  により  $OSR = \frac{f_s}{2f_0}$  と与えられるオーバーサンプリング比を変えた場合にどう変化する

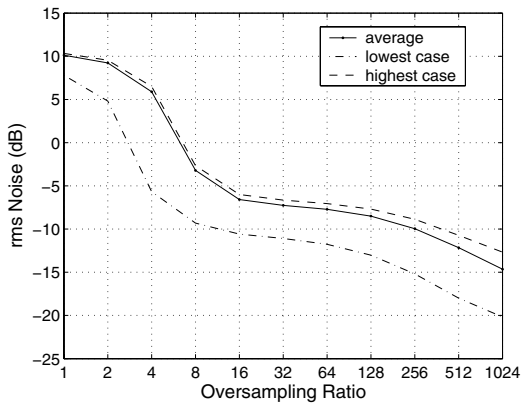


図 7: 位相信号の理想間引きフィルタ後の誤差電力

るかを評価した。図7にこの関係を示す。電力は、間引き前の信号の分解能である 8bit のデジタル信号の、理想的量子化誤差電力で正規化して表示している。つまり、誤差電力が 0dB を下回る場合に、適当な間引きフィルタによって内部位相値の分解能以上の精度の信号に出来る可能性がある。評価の結果、この評価は整定する位相の値に対して依存性を示したため、 $0 \sim 2\pi$  の全ての位相範囲からループの位相分解能以上である  $2^8 \times 5 = 1280$  点を等間隔に選び、統計的に評価した。図のグラフは最悪値、最良値、平均値をプロットしている。

結果として、8 倍以上のオーバーサンプリング比で 0dB を下回った。このことから少なくとも 8 倍のオーバーサンプリング比で間引きフィルタをかける場合において、ループ信号処理回路の分解能以上に高精度な位相検出が行えるということがわかった。

## 6 精度向上に関する検討

シミュレーションの結果(図 7)から、一定以上のオーバーサンプリング比で適当な間引きフィルタをかければ分解能を拡張できることはわかったが、オーバーサンプリング比に対する誤差の減少率が悪い。例えば、16 倍から 128 倍までは特に、比を上げても誤差が減少していかない。この原因として演算により低周波数帯の誤差分布が上昇してしまったことが考えられる。 $\Delta\Sigma$ 変調信号同士の乗算はその高周波帯に多量に存在する変調雑音成分同士の相互変調が起り、結果白色性の雑音となってしまうことが知られている(例えば [4])。

そこで、ループの信号処理の前に簡単なローパス

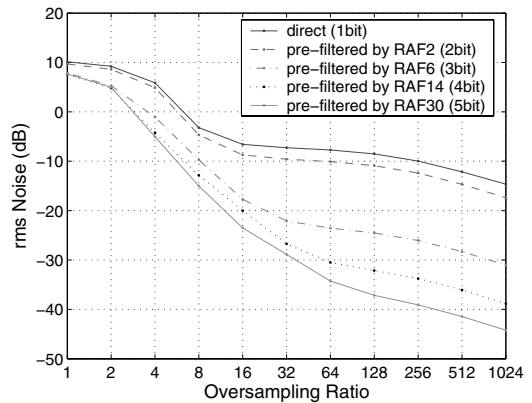


図 8: 信号処理の前に移動平均フィルタをかけた場合の理想間引き後誤差電力(最悪値)

フィルタとして移動平均フィルタ(RAF;Running Average Filter)を置くことを試みた。この時続く信号処理回路は、RAFの結果のビット数を乗算に用いるよう変更される。いくつかの点数のRAFをかけた場合についての、位相信号の帯域内誤差電力とオーバーサンプリング比の関係を図8に示す。形式は先の図7と同様であり、全位相範囲の試験結果から最悪値を示した。図の凡例にあるRAF*l*とは*l*点移動平均フィルタを指し、括弧内のbit数はフィルタ出力の桁数である。図に示した結果から、RAFにより高いオーバーサンプリング比における帯域内誤差電力が低減できることがわかる。特に、フィルタ無しの場合ではOSR=16以上で一度減少度合いが一定になるのに対し、6点(出力3bit)以上の移動平均フィルタを用いた場合では比較的効率よく誤差電力が低下していく。結果から具体的な数値性能を挙げれば、30点移動平均フィルタを用い128倍オーバーサンプリングとして間引きフィルタをかけた場合、誤差電力は8bitの理想的量子化雑音レベルよりおよそ-36dB減少するため、最終出力は14bit量子化信号と同等の精度を持つことが期待できる。

以上の検討結果から、ある程度の移動平均フィルタを前もってかけることは、提案した位相追従ループのシステム構成にとって性能向上をもたらすと言える。しかしこの選択は1bit信号を使うことによって得られる回路の単純さを損なわせる。このため実際に応用する場合には、回路規模と精度のトレードオフ問題として考慮する必要がある。回路規模の評価と最適な設計は今後の課題である。

## 7 まとめ

本論文ではセンサ信号処理である内挿を実現するための方法のうち、2相(複素)位相同期ループの原理に基づくアルゴリズムについて、総回路規模を抑えることを目的とした新たなシステム構成を検討した。シミュレーションの結果として、 $\Delta\Sigma$ 変調とオーバーサンプリングによる信号処理手法に基づいた提案システム構成では、最終段の間引きフィルタによって $\Delta\Sigma$ 変調由来の高周波雑音を減少させ、信号処理部の分解能以上の精度で位相を検出しうることがわかった。このシステム構成による内挿器の実現のためには、回路規模と性能のトレードオフ問題についての検討、さらにループフィルタの設計と動的特性の評価をする必要がある。

## 参考文献

- [1] Takashi Emura, Lei Wang, "A High-Resolution Interpolator for Incremental Encoders Based on the Quadrature PLL Method," *IEEE Trans. Industrial Electronics*, Vol.47, No.1, pp.84–90, Feb. 2000.
- [2] S. R. Norsworthy, R. Schreier, G. C. Temes, "*Delta-Sigma Data Converters – Theory, Design, and Simulation*," IEEE Press, ISBN 0-7803-1045-4, 1997.
- [3] 瀬川将宣, 黒澤実, 岡宏一, 樋口俊郎, "1ビットデジタル信号処理を用いた制御法の提案," 精密工学会 春季大会学術講演会講演論文集, pp.1029–1030, 1994.
- [4] Victor da Fonte Dias, "Signal processing in the sigma-delta domain," *Microelectronics Journal*, vol. 26, no. 6, pp. 543–562, September 1995.
- [5] H. Fujisaka, M. Sakamoto and M. Morisue, "Bit-stream signal processing circuits and their application," *IEICE Trans. Fundamentals*, vol. E85-A, no. 4, pp. 853–860, 2002.
- [6] V. Liberali, P. Malcovati, and F. Malobert, "Sigma-Delta Modulation and Bit-Stream Processing For Sensor Interfaces," in *Proc. of Italian Conference on Sensors and Microsystems*, 1996.
- [7] 村橋善光, 道木慎二, 大熊繁, " $\Delta\Sigma$ 変調に基づくパルスニューラルネットワークとそのGHA学習則," 電気学会論文誌C, 122巻, 10号 pp.1821–1829, 2002.
- [8] Josh Reiss and Mark Sandler, "Digital Audio Effects Applied Directly on a DSD Bitstream," in *Proc. of the 7th Conference on Digital Audio Effects (DAFx'04)*, Naples, Italy, October 5–8, 2004.
- [9] T. Fukui, M. Segawa, M. Kurosawa, K. Oka and T. Higuchi, "A control system with single-bit digital signal processing," in *Proc. ICARV96*, Singapore, pp.1992–1996, 3–6 Dec., 1996.
- [10] 折野裕一郎, 黒澤実, 片桐崇, " $\Delta\Sigma$ 変調信号の直接デジタル演算による追従型直交位相推定回路," 電子情報通信学会 第18回回路とシステム軽井沢ワークショップ 論文集, pp.111–116, 2005.4.